KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 23/50

(11) Publication No: P1994-0169272

(24) Publication Date: 9 Oct 1998

(21) Application No.: 10-1994-0017090

(65) Laid-Open No.: P1995-004512

(22) Application Date: 15 Jul 1994

(43) Laid-Open Date: 18 Feb 1995

(30) Original Application No.: 93-176531 (JP) (16 Jul 1993)

(71) Applicant:

TOSHIBA Corp. Sato Humio

Horigawa-jung 72, Saiwai-ku, Kawasaki-shi, Kanakawa, JP

(72) Inventor:

Ando, Domoyuki

Toshiba Corp. Tamagawa Works, Gomugai Toshiba-jung 1, Saiwai-ku, Kawasaki-shi, Kanagawa, JP

(54) Title of the Invention:

Semiconductor device

Abstract:

There is provided an internal lead for internal wiring, which is used without an attachment space of a tape with a LOC structure, and is isolated on a tape, simultaneously with an internal lead for externally extruding. An internal lead 11 is externally extruded, an end of which is fixed on an insulated tape 2 and the other end of which is extruded outside the insulated tape 2. Also, an internal lead 12 is used for internal wiring and is fixed on the insulated tape 2. The insulated tape 2 including the both internal leads is fixed on the surface of a semiconductor chip 3. The respective internal leads 11 and 12 are connected through bonding wires to the respective electrode pads 4 on the semiconductor chip 3. The insulated tape is attached to a lead frame before being processed. Then, the internal lead and the insulated tape are integrally blanked.

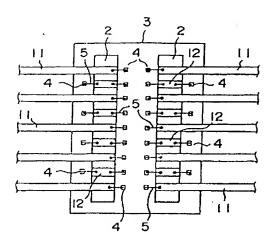
(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

994-017090 4년07월15일 ·176531 1993년07월16일 일본(JF	(24) 등록일자 (65) 공개번호 (43) 공개일자	1998년 10월09일 특 1995-004512 1995년02월 18일
·4년07월 15일	(43) 공개일자	
		1995년02월 18일
176531 1993년07월16일 일본(Ji	D)	
	r)	
부시키가이샤 도시바 - 사토 후D 본국 가나가와현 가와사키시 사이		XI
로 도모유키 본국 가나가와현 가와사키시 사이 N바 다마가와공장내	 와이구 고무가이도시바 점	정 1번지 가부시키기이사
윤배, 이범일		
	로국 가나가와현 가와사키시 사이 E 도모유키 로국 가나가와현 가와사키시 사이 네바 다마가와공장내	로국 가나가와현 가와사키시 사이와이구 호리가와정 72번 E 도모유키 로국 가나가와현 가와사키시 사이와이구 고무가이도시바침 네바 다마가와공장내

분 발명은, LOC구조 테입 부착여유를 필요로 하지 않고, 더욱이 외부도출용 내부리도와 동시에 테입상에 고립하는 내부배 선용 내부리도를 형성한다.

본 발명은, 내부리드(11)는 외부도출용이고, 절연성 테이프(2)에서 단부가 고착되면서 타단부가 절연성 테이프의 외측에 도출되어 있다. 또한, 내부리드(12)는 내부배선용이고, 절연성 테이프(2)상에 각각 고립되어 고착되어 있다. 이들 <u>양 내</u>부리드가 일체로 된 절연테이프(2)는 반도체첩(3) 표면에 고착되고, 내부리드(11,12) 각각과 반도체첩(3)상의 각 전극패드(4)가 본당와이어에 의해 접속되어 있다. 본 발명에서는 가공완료 이전의 리드프레임에 절연테이프를 끊이고, 그 후 내부리드와 절연테이프를 일체적으로 타발가공한다.



. . .

[발명의 명칭]

반도체장치

[도면의 간단한 설명]

제1도는 본 발명의 1실시예에 따른 LOC구조 반도체장치의 주요부의 구성을 나타낸 평면도.

제2도는 본 발명에 따른 LOC구조 반도체장치의 기본적인 제조방법을 공정순으로 나타낸 평면도 및 측면도.

제3도는 제1도에 도시한 구성의 타발(打拔)가공 이전의 구성을 나타낸 평면도.

제4도는 본 발명에 따른 주요부의 제1응용예를 나타낸 평면도.

제5도는 본 발명에 따른 주요부의 제2응용예를 나타낸 평면도.

제6도는 본 발명을 적용한 TSOP의 구성을 나타낸 평면도.

제7도는 본 발명을 적용한 메모리 모듈의 구성을 나타낸 평면도.

제8되는 총래의 1,00구조 반도체장치의 제조방법을 공정순으로 나타낸 평면도 및 측면도이다.

* 또면의 주요부문에 대한 부호의 설명

2 : 젖어데이프 3 : 반도체참

4 : 제근대로 5 : 본당와이어

#:: #보는((유부분총을) 12: 내부라드(대위해전音)

The first of the second section of the second secon

19 to 19 to 19 to 19 to

본 발명은, 특히 LOC(lead on chip)구조의 반도체장치에 관한 것이다.

[종래의 기술 및 그 문제점]

LOC구조는 반도체합 주표면상의 전국패드를 반도체합의 중앙부 곁에 배치하고, 각 내부리도의 단부를 반드체합 주표면상에 절연테이프에 의해 고착시킨다. 이것에 의해 패키지의 축소가 도모된다.

제8도는 총래의 LOC구조 반도체장치의 제조방법을 공정순으로 나타낸 평면도 및 측면도이다. 제8도(a)에 뜨시된 내부리드 (11)는 각각 외촉의 한쪽단부는 외부뜰(도시하지 않았음)에 접속되어 있다. 이 내부리드(11)에 있어서, 탄도체칭과의 고착면족에 제8도(b)에 나타낸 것과 같이 절연태이프(2)가 붙여진다. 이 절연테이프(2)에 의해 내부리드(II)는 반도체칭(3)의 주표면에 고착되고, 그 후 제8도(c)에 나타낸 바와 같이 전극패드(4)와 내부리드(11)가 본당와이어(5)에 의해 점속된다.

상기 구성에서는 공정상, 또는 구성상의 문제점이 있다. 테이프를 붙이는 공정은 내부리도가 성형되고 나서 수행된다. 이때문에 적어도 내부리도(11)의 한쪽단부는 모두 리도프레임의 외부틀에 연결되어 있을 필요가 있어. 내부리도 패턴의 자유도가 제한된다. 즉, 반도체칩상에 형성되어 있는 금속배선의 대용보조를 하는 배선패턴을 내부리도로 요구할 수 없다.

예컨대, 테이프상에 고립된 리드를 형성할 수 없게 된다. 테이프상에 고립된 리드를 설치하는 것은 멀티집화에 유리한 것으로 바람직한 구성이다. 더욱이, 테이프를 붙이는 리드단부에는 부착여유(Ad)가 필요하고, 이것도 내부리드 패턴의 자유도를 감소시키고 있다.

종래의 LOC구조의 반도체장치에서는, 테이프상에 고립된 리드를 형성하는 것이 불가능하여 내부라드의 패턴에 자유도가 거의 없고, 반도체칭과 라드 사이의 배선에 있어서 응용하기 어렵다는 결정이 있다.

[발명의 목적]

본 발명은 장기한 점을 감안하여 발명된 것으로, LOC구조를 갖는 반도체 패키지내의 내부리도의 배선에 있어서 베이프장에 배선으로 사용할 수 있는 고립된 리드를 설치할 수 있는 반도체장치를 제공함에 그 목적이 있다.

[발명의 구성 및 작용]

상기 목적을 달성하기 위한 본 발명에 따른 반도체장치는, 주표면을 갖춘 반도체합이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부재와; 각각 절연부재의 일측 엔지와 동일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부로 연장된 타단을 갖춘 다수의 외부코넥터 라드; 상기 절연부재의 제1표면에 교정된 반 단 표면을 갖춘 적이도 하나의 내부코넥터 내부라드 및: 상기 절연부재의 적어도 제2표면이 반도체험의 주표면에 고정되 게 하는 어셈블리수단을 구비하여 구성되고; 상기 적어도 하나의 내부라드의 양단이 상기 절연부재의 적이도 일축 엔지와 동일한 높이로 배열되는 것을 특징으로 한다.

또한 본 발명은, 주표면을 갖춘 반도체칭이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부제와: 각각 점인부제의 일촉 엣지와 동일 높이로 배열됨과 더불어 절연부제의 제1표면에 고정되는 일단과, 상기 절연부제의 외부로 인정된 타단을 갖추고, 절연부제의 돌출부가 외부코넥터 리드의 타단을 향해 연장되어 외부코넥터 리드의 비탁 표면에 존재하는 나수의 외부코넥터 리드: 각각 상기 절연부제의 일촉 엣지와 동일한 높이로 배열된 적어도 일단과, 접연부제의 제1표인에 고정된 바로 표면을 갖춘 다수의 내부코넥터 내부리드 및: 상기 절연부재의 적어도 제2표면이 반급체청을 추용된 에 기학로계 하는 이센몰리수단을 구비하여 무성된 것을 특징으로 한다.

표현 또 발발용, 단단 조표면을 갖추고, 반도체칭이 제공되는 반도체칭이에 있어서, 제시할 제2표면을 당한 전투포도와, 한 시시한 변문대의 위한 기계만 등의 높이로 해열됐고 말할만 절면로대로 제기되면의 고취되는 됐으나, 전기 전략모든 기기 된 시시한 원건의 것이 단속의 역부로부터 그룹의 단신 참면모든의 1 월 왕조는 계획만 경신을 바꾸기 있는 기기 기기 - 사용병 건강 단단 유명을 강후되는 기기들이는 단위 기간 전략의 환기 기계들이 되었는 기계기 기계기 기기 된 양단을 갖춘 다수의 내부코넥터 내부리도 및; 상기 절연부재의 적어도 제2표면이 각 반도체합의 주표면에 고경되게 하는 어셈블리수단을 구비하여 구성된 것을 특징으로 한다.

또한 본 방명은, 주표면을 갖춘 반도체칩이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부재와; 각각 절 연부재의 일측 엣지와 동일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부로 연 장된 타단을 갖춘 다수의 외부코넥터 리드 및; 상기 절연부재의 적어도 제2표면이 반도체칩의 주표면에 고정되게 하는 이 센블리수단을 구비하여 구성되고, 절연부재가 외부코넥터 리드의 상기 타단을 향해 연장되어 상기 외부코넥터 리드의 바 닥 표면에 존재하는 돌출부를 더 포함하는 것을 특징으로 한다.

상기와 같이 구성된 본 발명은, <u>내부리드와 절연부재를 일체적으로 타발공정하는 것에 의해 부착여유를 필요로 하지 않는 내부리드가 형성된다</u>. 더욱이, <u>외부코넥터 리드와 동시에 테이프상에 고립되는 내부코넥터 내부리드를 형성하는 것도 가</u>능한 멀티칩에 유리한 구성이 얼어진다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

제1도는 본 발명의 1실시에에 따른 LOC구조 반도체장치의 주요부의 구성을 나타낸 평면도이다. 내붓리드(11)는 외부도출용으로, 절연성 테이프(2)에 의해 단부가 고착되고, 타단부가 절연성 테이프의 외측으로 도출되어 있다. 또한, 내부리드(12)는 내부배선용으로, 절연성 테이프(2)상에 각각 고립되어 고착되어 있다. 이들 양 내부리드가 일체로 된 절연성 테이프(2)는 반도체칭(3) 표면에 고착되고, 내부리드(11,12) 각각과 반도체칭(3)상의 각 전극패드(4)가 본당와이어(5)에 의해 점속되어 있다.

상기의 구성에 의하면, 칩상의 금속배선의 대용보조를 하는 배선패턴을 내부라드(12)로서 실현할 수 있다. 이어 의해, 내 부리도 패턴의 자유도가 넓어진다. 또한, 테이프를 붙이는 리드단부의 부착여유가 필요없는데, 그 이유는 제조용점에 있 고, 이하에 설명한다.

제2도는 본 발명에 따른 LOC구조 반도체장치의 기본적인 제조방법을 공정순으로 나타낸 평면도 및 측면도이다. 제2도(a) 에 도시한 내부리드(21)는 도시하지 않았지만 양단부가 각각 외부틀에 접속되어 있다. 이 내부리드(21)에는, 발표체험과의 고착면축에 제2도(b)에 나타낸 바와 같이 절연테이프(22)가 붙여진다. 또한, 절연테이프(22)는 테이프에 심착세가 도모되어 있는 것이나 접착제만으로 형성되는 것이고, 예컨대 가열에 의해 접착성이 나타나며, 열압착에 의해 붙여진다.

다음에, 제2도(c)에 나타낸 바와 같이 고착될 반도체칩에 일치하도록 내부리도(21)와 테이프(22)를 일체적으로 타발가공한다. 교 후, 제2도(d)에 도시한 바와 같이 내부리도(21)와 일체적인 절연테이프(22)는 반도체침(23)의 주표면에 열양착어 의해 고착되고, 전국패도(24)와 내부리도(21)가 본당와이어(25)에 의해 접속된다.

이와 같이, 본 발명에서는 가공완료 이전의 리드프레임에 절면테이프를 붙이고, 그 후 내부리드와 절면테이프를 일체적으로 타발가공한다. 따라서, 절면테이프를 붙이는 리드단부의 부착여유가 전혀 필요하지 않게 된다.

또한, 이와 같은 방법으로 타발가공한 경우, 제1도에 도시한 바와 같은 고립된 러뜨(12)가 가능하도록 하는 것도 용어하다. 제1도의 구성에 있어서 <u>타발가공 이전은 어떠한 리드프레임 형상이어도 상관였다. 예컨대, 제3도(a) 또는 (b)에 도시한 바와 같은 리트프레임 형상이 고려된다.</u> 부탁테이프(2)와 함께 정선으로 나타낸 비와 같이 타발가공하는 멋게 의해 최중식을 매범이 실현되면 된다.

생기 표현된 의하면, 표부하면 패현의 자유도가 넓고, 여러가지의 고립된 내부라도를 형성할 수 있다. 제46. 등 등에는 ... 된 도요요. 전한 참의 현존인 대한테 내부배선용의 내부라는(12)의 구성이다. 침대에서 전호의 입출으로 한참하는 #15 보고 된 보고 보고 10 명이 이 경우도 한참가로 어떤 즉 <u>선언들인으로 병여자인 이번, 제26.1 10 10 10 10 10 10 1</u> <u>된 모임 등 2011 대한 10 12 10 12 표명</u>인 표단한 편의 참임 단단단표 된 소 있다고 쓰다고요요. 제6로는 TSOP(thin small out-line package)의 구성을 나타낸 평면도로서, 반도체칩 중앙부근에서 절연테이프상으로 고립된 내부라드의 패턴이 형성되어 있다. 본당와이어(5)의 접속패턴이 정곡(正曲)대응의 실시예(p-a) 및. 접속패턴이 역곡(逆曲)대응의 실시예(p-b)로서, 편의상 제6도중에 2종류의 접속패턴을 나타낸다.

상기 정곡대용이라는 것은 반도체첩을 보드에 실장할 경우 본당패드가 배치되어 있는 주표면을 위에서 여편(裏面)을 보드로 향해 일치시키도록 실장할 수 있도록 리드를 굽힌 구성이고, 역곡대용이라는 것은 반도체첩을 보드에 실장할 경우 본당패드가 배치되어 있는 주표면이 보드로 향해 일치되도록 실장할 수 있도록 리드를 굽힌 구성이다. 용량의 증기등으로 보드의 표면과 이면에 같은 판배치로 실장하는 경우 편리하고, 제6도의 내부리드 패턴이면 정곡, 역곡의 실장에 따라 본당패턴이 변화된다.

저7도는 얼티첩 모듈의 실시예이다. 3개의 메모리칩(31,32,33)을 이용한 메모리 모듈의 구성이다. 테이프(2)부착 후의 타발가공에 의해 테이프(2)상에 고립된 리드(12)가 형성된다. 이 구성에 의해, 와이어본당에 의한 내부리드(11)의 배선에 있어서는 다음과 같이 된다. 즉, 어드레스핀(11a), /0핀(11b), 전원핀(11c)은 각 칩 공통으로 접속되고, 한편 칩선택용의 신호핀(11d) 각각은 각 칩에 한개만 접속된다.

상기 구성에 의하면, 테이프상에 고립되는 내부배선용 내부리드(12)의 패턴을 이용해서 멀티침내의 여러가지의 배선보조 가 가능하게 되고, 이로써 패키지의 축소화에 기여한다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, LOC구조 반도체 패키지내의 내부리드의 배선에 있어서 테이프상에 내누배선의로서 사용할 수 있는 고립된 리드를 배치할 수 있다. 이에 의해, 내부리드의 패턴 자유도가 증가하고, 멀티칩 구조에 유리한 구조가 얻어진다.

청구항 1. 주표면을 갖춘 반도체칭이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부처와: 함리 젊어 분재의 일축 엣지와 등일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부로 연장 된 타단을 갖춘 다수의 외부코넥터 리드: 상기 절연부재의 제1표면에 고정된 바닥 표면을 갖춘 적어도 하나의 내투코넥터 내부리드 및: 싱기 절연부재의 적어도 제2표면이 반도체칭의 주표면에 고정되게 하는 어셈블리수단을 구비하여 구성되고: 상기 적어도 하나의 내부리드의 양단이 상기 절연부재의 적어도 일축 엣지와 동일한 높이로 배열되는 것을 특징으로 하는 반도체장치.

청구항 2. 제1항에 있어서, 상기 <u>절연부재가 접착형 테이프인 것을 특징으로 하는 반도체장치</u>.

청구항 3. - 제1항에 있어서, 상기 절연부재가 열압착형 테이프인 것을 특징으로 하는 반도체장지.

청구항 6. 제4항에 있어서, 반도체칩의 주표면 상에 배열되고, 절연부재에 인접하는 다수의 본딩패도를 더 무비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 7. 제6항에 있어서, 외부 및 내부코넥터 리드를 상기 본딩패드에 전기적으로 접속하기 위한 수단을 더 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 8. 제4항에 있어서, 상기 외부 및 내부코넥터 리드가 절면부재상에 교대로 배열된 것을 특징으로 하는 반도체 장치.

청구항 9. 각각 주표면을 갖추고, 반도체칩이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부재와: 각 각 절연부재의 일측 엣지와 동일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부 로 연장된 타단을 갖춘 다수의 외부코넥터 리드: 각각 절연부재의 일측 엣지와 동일한 높이로 배열된 일단과, 절연부재의 제1표면에 고정된 바닥 표연을 갖추고, 내부코넥터 내부리드의 적어도 하나가 절연부재의 일측과 동일한 높이로 배열된 양단을 갖춘 다수의 내부코넥터 내부리드 및: 상기 절연부재의 적어도 제2표면이 각 반도체칩의 주표면에 고정되게 하는 어셈블리수단을 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 10. 제9항에 있어서, 각각의 반도체합에 적어도 하나의 외부 및 내부코넥터 리도를 전기적으로 접속하기 위한 수단을 더 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 11. 제9항에 있어서, 각각의 반도체칩의 주표면 상에 배열되고, 절연부재에 인접하는 다수의 본당패도를 더구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 12. 제11항에 있어서, 외부 및 내부코넥터 리드를 상기 본당패도에 전기적으로 접속하기 위한 수단을 더 구비하여 구성된 것을 특징으로 하는 반도체장치.

청구항 13. 주표면을 갖춘 반도체칭이 제공되는 반도체장치에 있어서, 제1 및 제2표면을 갖춘 절연부재와: 각각 절연 부재의 일측 엣지와 동일 높이로 배열됨과 더불어 절연부재의 제1표면에 고정되는 일단과, 상기 절연부재의 외부로 연장 된 타단을 갖춘 다수의 외부코넥터 리드 및: 상기 절연부재의 적어도 제2표면이 반도체침의 주표면에 고정되게 하는 어셈 틀리수만을 구비하여 구성되고: 절연부재가 외부코넥터 리드의 상기 타단을 향해 연장되어 상기 외부코넥터 리딩의 바닥 표면에 존재하는 돌출부를 더 포함하는 것을 특징으로 하는 반도체장치.

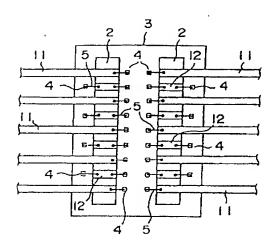
청구항 14. 제13항에 있어서, 상기 절연부재가 접착형 테이프인 것을 특징으로 하는 반도체장치.

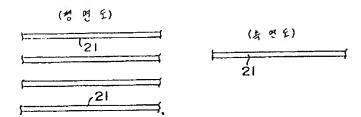
청구항 15. - 제13항에 있어서, 상기 절연부재가 열압착형 테이프인 것을 특징으로 하는 반도체장치.

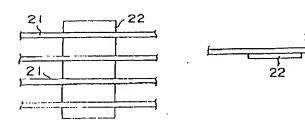
청구형 16. 제13항에 있어서, 상기 절연부재의 제1표면에 고정된 표면을 갖춘 내부코넥터 내부리드를 터 구비하여 구성된 것을 육장으로 하는 반도체장치.

청구형 17. - 제16항에 있어서, 상기 각 내부러도가 상기 절연부재의 일촉 엣지와 동일한 높이로 백열된 즉여표 입자율 갖춘 각활 욕장으로 하는 반도제상자.

황고병 18. - 계획한테 있어요. 상기 확 대부러든거 삼면 절면부표의 쪽OH로 없촉 ਉ기와 문문한 음이 이번 편쓰면 - 이 기기 기원 70.5 일 다른 가입체장회.







and the first of the combined of the first of the first of a state of the first of

